

Japanese Patent Laid-Open Publication No. 2002-93847

Laid-Open Date: March 29, 2002

Application No.: Japanese Patent Application No. 2000-285562

Application Date: September 20, 2000

Applicant: SANYO ELECTRIC CO., LTD.

Inventors: Noriaki SAKAMOTO, Yoshiyuki KOBAYASHI, Junji SAKAMOTO, Shigeaki MASHIMO, Katsumi OKAWA, Eiju MAEHARA, Kouji TAKAHASHI

Title of the Invention: Semiconductor Device and Semiconductor Module

[Summary]

[Object] For semiconductor devices, thin and lightweight packages are adopted. However, such semiconductor devices suffer from package bow which occurs due to a low-profile shape of the package, and a problem such as, for example, a break in a conductive path, or poor connection to a thin metal wire, caused by a difference between coefficients of thermal expansion, which results in a problem in reliability of the semiconductor device.

[Solution] There is provided a semiconductor device, in which a conductive path 40 consisting of crystals whose dimensions in X and Y axes directions are greater than a dimension in the Z axis direction is imbedded in an insulating resin 44 and the underside of the conductive path 40 is sealed so as to be exposed from the insulating resin 44 in order to prevent breakage of the conductive path 40 imbedded in the insulating resin 44.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-93847
(P2002-93847A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 P 4 M 1 0 9
21/52		21/52	A 5 F 0 4 4
23/28		23/28	Z 5 F 0 4 7
// H 0 1 L 25/04		25/04	Z
25/18			

審査請求 未請求 請求項の数24 O L (全 22 頁)

(21)出願番号 特願2000-285562(P2000-285562)

(22)出願日 平成12年9月20日(2000.9.20)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100091605

弁理士 岡田 敬 (外1名)

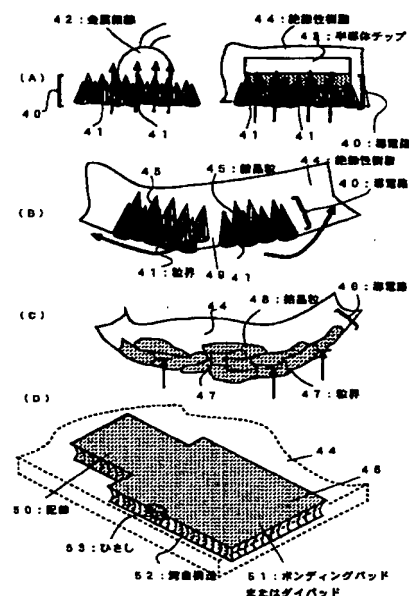
最終頁に続く

(54)【発明の名称】 半導体装置および半導体モジュール

(57)【要約】

【課題】 薄型、軽量のパッケージが採用されている。しかし薄型故に発生するパッケージの反り、実装基板との熱膨張係数の違いにより発生する問題、例えば、半導体装置の中に設けられた導电路の断線、金属細線との接続不良が発生し、半導体装置の信頼性に問題があった。

【解決手段】 絶縁性樹脂44には、X軸-Y軸方向がZ軸方向よりも大きい結晶から成る導电路40を埋め込み、導电路40の裏面は、絶縁性樹脂44から露出されて封止される半導体装置を提供する。これにより、絶縁性樹脂44に埋め込まれた導电路40の断線を抑制する。



【特許請求の範囲】

【請求項 1】 X 軸、Y 軸方向が Z 軸方向よりも大きい結晶から成る複数の導電路と、前記導電路と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備えたことを特徴とした半導体装置。

【請求項 2】 前記絶縁性樹脂の裏面と前記導電路の側面は、実質同一のエッチング面を描くことを特徴とした請求項 1 に記載の半導体装置。

【請求項 3】 前記分離溝の裏面よりも、前記導電路の裏面が凹んで形成されることを特徴とした請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記絶縁性樹脂と接する導電路の表面には、前記導電材料の酸化物が形成されることを特徴とした請求項 1 に記載の半導体装置。

【請求項 5】 前記絶縁性樹脂の厚みは、実質 1 mm よりも薄く、前記導電路は、圧延工法で可能な厚みであることを特徴とした請求項 1 ～請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 X 軸、Y 軸方向が Z 軸よりも大きい結晶から成る複数の導電路と、前記導電路の上面に形成され、主として Z 軸方向が X 軸、Y 軸方向よりも大きい結晶から構成される導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備えたことを特徴とする半導体装置。

【請求項 7】 X 軸、Y 軸方向が Z 軸よりも大きい結晶から成る複数の導電路と、前記導電路の上面に形成され、主として Z 軸方向が X 軸、Y 軸方向よりも大きい結晶から構成される導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記絶縁性樹脂の裏面と前記導電路の側面は、実質同一のエッチング面を描いていることを特徴とした半導体装置。

【請求項 8】 X 軸、Y 軸方向が Z 軸よりも大きい結晶から成る複数の導電路と、前記導電路の上面に形成され、メッキにより主として Z 軸方向の結晶成長が大きい導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記導電路の側面は、湾曲にエッチングされ、前記絶縁性樹脂裏面の少なくとも一部は、このエッチング面と連続したカーブを描くことを特徴とした半導体装置。

【請求項 9】 前記エッチング面は、非異方性的エッチングにより形成される面と連続したカーブを描くことを

特徴とした請求項 6 ～請求項 8 のいずれかに記載の半導体装置。

【請求項 10】 前記絶縁性樹脂裏面よりも、前記導電路の裏面が凹んで形成されることを特徴とした請求項 6 ～請求項 9 のいずれかに記載の半導体装置。

【請求項 11】 前記絶縁性樹脂と接する前記導電路は、表面に酸化物が形成されることを特徴とした請求項 6 ～請求項 10 のいずれかに記載の半導体装置。

【請求項 12】 前記導電路の裏面には、導電被膜が形成されることを特徴とした請求項 6 ～請求項 8 のいずれかに記載の半導体装置。

【請求項 13】 前記導電被膜は、前記導電路の表面でひさしを構成することを特徴とした請求項 6 ～請求項 9 のいずれかに記載の半導体装置。

【請求項 14】 前記絶縁性樹脂から露出された導電路は、電気的接続箇所を除き絶縁被膜で被覆されることを特徴とした請求項 6 ～請求項 13 に記載の半導体装置。

【請求項 15】 前記導電路として配線が設けられ、前記絶縁性樹脂から露出された導電路は、電気的接続箇所を除き絶縁被膜で被覆されることを特徴とした請求項 6 ～請求項 14 に記載の半導体装置。

【請求項 16】 X 軸、Y 軸方向の結晶成長が Z 軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、主として Z 軸方向の結晶成長により成る導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備えた半導体装置が、前記露出部を介して前記実装基板に実装されたことを特徴とする半導体モジュール。

【請求項 17】 X 軸、Y 軸方向の結晶成長が Z 軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、主として Z 軸方向の結晶成長により成る導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記絶縁性樹脂の裏面と前記導電路の側面が、実質連続したカーブを描いている半導体装置が、前記露出部を介して前記実装基板に実装されたことを特徴とする半導体モジュール。

【請求項 18】 X 軸、Y 軸方向の結晶成長が Z 軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、メッキにより主として Z 軸方向の結晶成長が大きい導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記導電路の側面は、湾曲にエッチングされ、前記絶縁性樹脂裏面の少なくとも一部は、このエッチング面と実質一致している半導体装置が、前記露出部を介して前記実装基板

に実装されたことを特徴とする半導体モジュール。

【請求項 19】 前記導電路の裏面と前記実装基板は、ロウ材を介して接続され、前記導電路の裏面または／および前記実装基板上の接続パターンは、ロウ材の流れを防止する被膜が設けられることを特徴とした請求項 16～請求項 18 のいずれかに記載の半導体モジュール。

【請求項 20】 前記エッチング面は、非異方性的エッチングにより形成される面と実質的に同一カーブを描くことを特徴とした請求項 16～請求項 18 のいずれかに記載の半導体モジュール。

【請求項 21】 前記絶縁性樹脂裏面よりも、前記導電路の裏面が凹んで形成される形成されることを特徴とした請求項 16～請求項 19 のいずれかに記載の半導体モジュール。

【請求項 22】 前記絶縁性樹脂と接する前記導電路は、表面に酸化物が形成されることを特徴とした請求項 16～請求項 21 のいずれかに記載の半導体モジュール。

【請求項 23】 前記導電路の裏面には、導電被膜が形成されることを特徴とした請求項 16～請求項 18 のいずれかに記載の半導体モジュール。

【請求項 24】 前記導電被膜は、前記導電路の表面でひさしを構成することを特徴とした請求項 23 に記載の半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および半導体モジュールに関し、特に実装基板に半導体装置が実装された際、熱膨張係数のミスマッチによる不具合を防止する技術に関するものである。

【0002】

【従来の技術】従来、電子機器にセットされる混成集積回路装置は、例えばプリント基板、セラミック基板または金属基板の上に導電パターンが形成され、この上には、LSI またはディスクリート TR 等の能動素子、チップコンデンサ、チップ抵抗またはコイル等の受動素子が実装される。そして、前記導電パターンと前記素子が電気的に接続されて所定の機能の回路が実現されている。

【0003】回路の一例として、図 24 を示す。この回路は、オーディオ回路であり、これらに示す素子は、図 25 の様に実装されている。

【0004】図 25 に於いて、一番外側の矩形ラインは、少なくとも表面が絶縁処理された実装基板 1 である。そしてこの上には、Cu から成る導電パターン 2 が貼着されている。この導電パターン 2 は、外部取り出し用電極 2A、配線 2B、ダイパッド 2C、ボンディングパッド 2D、受動素子 3 を固着する電極 4 等で構成されている。

【0005】ダイパッド 2C には、TR、ダイオード、

複合素子または LSI 等がベアチップ状で、半田を介して固着されている。そしてこの固着されたチップ上の電極と前記ボンディングパッド 2D が金属細線 5A、5B、5C を介して電気的に接続されている。この金属細線は、一般に、小信号と大信号用に分類され、小信号部は約 $40\mu\text{m}\phi$ から成る Au 線または Al 線 5A が採用され、大信号部は約 $100\sim 300\mu\text{m}\phi$ の Au 線または Al 線が採用されている。特に大信号は、線径が大きいため、コストの点が考慮され、 $150\mu\text{m}\phi$ の Al 線 5B、 $300\mu\text{m}\phi$ の Al 線 5C が選択されている。

【0006】また大電流を流すパワー TR 6 は、チップの温度上昇を防止するために、ダイパッド 2C 上のヒートシンク 7 に固着されている。

【0007】そして前記外部取り出し用電極 2A、ダイパッド 2C、ボンディングパッド 2D、電極 4 を回路とするため配線 2B が色々な所に延在される。また、チップの位置、配線の延在の仕方の都合で、配線同士が交差をする場合は、ジャンピング線 8A、8B が採用されている。

【0008】一方、この実装基板 1 に実装される半導体装置として、絶縁性樹脂でパッケージされた半導体装置がある。例えば、リードフレームに半導体チップが実装され、絶縁性樹脂でパッケージされたリードフレーム型半導体装置、セラミック基板、プリント基板またはフレキシブルシートを支持基板として採用し、この上に半導体チップが実装され絶縁性樹脂でパッケージされた支持基板型半導体装置、またメッキ電極の上に半導体チップが実装され、メッキ電極も含めてパッケージされたメッキ型半導体装置がある。尚、メッキ型半導体装置は、例えば、特開平 3-94431 号公報に詳しい。

【0009】これの概略図を図 26A に示す。符号 10A～10D は、メッキ膜で形成された導電路であり、ダイパッド 10A の上には、半導体チップ 11 が固着され、半導体チップ 11 のボンディングパッドとメッキからなるボンディングパッド 10B が金属細線 12 により電気的に接続されている。また電極 10C と、電極 10D との間には、受動素子 13 がロウ材を介して固着されている。この半導体装置は、支持基板を採用することなくメッキ膜が絶縁性樹脂に埋め込まれているため、薄型の半導体装置が可能となる。

【0010】

【発明が解決しようとする課題】前述したように実装基板 1 上には、色々な方法でパッケージされた半導体装置が実装されている。しかしリードフレーム型半導体装置は、リードがパッケージから飛び出しているため、実装基板での専有面積が大きくなる問題があり、実装基板の大型化を招く問題があった。更には、リードフレームをカットしたり、リードにバリが発生してしまう問題もあった。また支持基板型半導体装置は、支持基板を採用するため半導体装置が厚くなってしまい、それにより重量

10

20

30

40

50

も増大する問題があった。更にメッキ型半導体装置は、支持基板を採用せず、リードもパッケージから飛び出していないため、薄くサイズの小さい半導体装置が実現できるが、以下の点で問題があった。

【0011】図26Bは、それを説明するための図であり、図26Aの○の部分的模式的に拡大したものである。三角錐の集合体で示した符号10Bが、メッキにより形成された導电路、符号17が半田である。また符号15が実装基板、16が実装基板15に貼着された導電パターンである。

【0012】このメッキ膜は、一般には電解メッキで成膜され、先端が細くなった柱状結晶構造を持つ。これを図の三角錐で示した。この膜は膜厚が薄く、多結晶構造であるため、機械的強度が弱く、更に絶縁性樹脂との熱膨張係数の違いによりクラックも発生しやすい欠点があった。しかも結晶粒界は、外部からの物質を容易に拡散させる。例えば半田に使用されるフラックスや湿気等の外部雰囲気ガスが、この結晶粒界を介して金属細線12の接続部に浸入し、接続強度を劣化させる問題がある。またCuメッキで電極11Bを形成した際、下層の半田

が拡散し、メッキ膜自身が半田に喰われ、金属細線との接続強度を劣化させる問題があった。

【0013】またメッキ膜を配線として細く長く形成すると、絶縁性樹脂の熱膨張係数とのミスマッチにより配線の断線も発生する。同様に、このメッキ型半導体装置を実装基板に実装した場合、実装基板の熱膨張係数とのミスマッチによりやはり配線にクラックが発生し、断線や配線抵抗の上昇をきたす問題がある。特にメッキ電極10Bで細長い配線が形成された場合、その応力は、長さに比例して発生する。よって絶縁性樹脂14または実装基板15との熱膨張係数の違いが、メッキ膜の欠点をより冗長し、信頼性の低下をより加速する問題があった。

【0014】

【課題を解決するための手段】本発明は、前述した課題に鑑みて成され、第1に、X、Y方向の結晶成長が大きい導電材料より成る複数の導电路と、前記導电路と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導电路間の分離溝に充填され前記導电路の裏面を露出して一体に支持する絶縁性樹脂とを備えることで解決するものである。

【0015】ここで図1Aの如く、X軸-Y軸方向の成長よりもZ軸方向の成長が大きい膜をZ膜と呼び、Z軸方向の成長よりもX軸-Y軸方向の成長が大きい膜をX-Y膜と呼ぶ。例えばZ膜は、電解、無電解により成長させたメッキ膜であり、X-Y膜は、圧延により形成された膜、例えば圧延銅箔である。

【0016】図1Cの様に、X-Y膜を断面で見ると、この膜は、それぞれの結晶がX-Y軸方向に広がって積層されているため、結晶粒界の面積が図1AのZ膜より

も抑制される。よって結晶粒界を介した拡散または透過現象が大幅に抑制される。また図1BのZ膜は、折り曲げ、左右に延びる外力が働く応力に対して非常に弱い構造を持つ。しかしX-Y膜は、図1Cに示すように、X-Y膜自体の反り、破断に対してZ膜よりも強い膜となる。従って、導电路自身を封止する絶縁性樹脂の熱膨張係数の違いにより、導电路のクラック発生を防止できる。また結晶のサイズが大きい場合、全体の導电路自体の抵抗も下げることができる。特に、パッケージの厚みが0.5mm以下で、この中に導电路を埋め込む場合、厚みに対して平面サイズの方が大きいために、導电路と絶縁性樹脂の熱膨張係数の違いにより、X-Y方向に应力が加わる。しかし一つ一つの結晶がX-Y方向に大きく成長しているため、その応力に対して強い構造となる。

【0017】例えば、圧延Cu箔で成る電極を絶縁性樹脂に埋め込んだ場合と、Cuメッキによる電極を埋め込んだ場合では、前述した応力に対する強度は、圧延銅箔の方が優れ、また拡散による接触部の汚染も圧延銅箔の方が優れる。

【0018】第2に、前記絶縁性樹脂の裏面と前記導电路の側面を、実質同一のエッチング面で描くことで解決するものである。

【0019】後の製造方法で明瞭になるが、ハーフエッチングした後に、絶縁性樹脂を埋め込むため、ハーフエッチングされた湾曲構造が絶縁性樹脂の形状となる。これは、アンカー効果も発生すると同時に裏面の接触抵抗も低下する特徴を有する。よって半導体装置自身の移動、セルフアライメントを容易にするものである。

【0020】第3に、前記分離溝の裏面よりも、前記導电路の裏面が凹んで形成されることで解決するものである。

【0021】導电路が凹んで形成されることにより、この導电路に形成される半田を厚くでき、また絶縁性樹脂の凸部が形成されることにより、隣同士の半田が接触することなくなる。

【0022】第4に、前記絶縁性樹脂と接する導电路の表面には、前記導電材料の酸化物が形成されることで解決するものである。

【0023】導电路、特にCuを主材料とする金属の表面に酸化銅を形成することで、絶縁性樹脂との密着性を向上させることが出来る。

【0024】第5に、前記絶縁性樹脂の厚みは、実質1mmよりも薄く、前記導电路は、圧延工法で可能な厚みであることで解決するものである。

【0025】第6に、X、Y方向がZ軸よりも大きい結晶から成る複数の導电路と、前記導电路の上面に形成され、主としてZ軸方向がX軸、Y軸方向よりも大きい結晶から成る導電被膜と、前記導電被膜と電気的に接続された半導体チップと、前記半導体チップを被覆し且つ前

記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備えることで解決するものである。

【0026】原則として、電極や配線となる導電パターンは、X-Y膜で形成し、電氣的接続が必要な部分のみにZ膜を成長すれば、全ての導電パターンをZ膜で形成するよりも優れた特性を発揮することが出来る。例えば、断線や接続部の汚染に対して優れた半導体装置となる。

【0027】第7に、X、Y方向がZ軸よりも大きい結晶から成る複数の導電路と、前記導電路の上面に形成され、主としてZ軸方向がX軸、Y軸方向よりも大きい導電被膜と、前記導電被膜と電氣的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記絶縁性樹脂の裏面と前記導電路の側面は、実質同一のエッチング面を描いていることで解決するものである。

【0028】第8に、X、Y方向がZ軸よりも大きい結晶から成る複数の導電路と、前記導電路の上面に形成され、メッキにより主としてZ軸方向の結晶成長が大きい導電被膜と、前記導電被膜と電氣的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記導電路の側面は、湾曲にエッチングされ、前記絶縁性樹脂裏面の少なくとも一部は、このエッチング面と連続したカーブを描くことで解決するものである。

【0029】第9に、前記エッチング面は、非異方性的エッチングにより形成される面と連続したカーブを描くことで解決するものである。

【0030】第10に、前記絶縁性樹脂裏面よりも、前記導電路の裏面が凹んで形成される形成されることで解決するものである。

【0031】第11に、前記絶縁性樹脂と接する前記導電路は、表面に酸化物が形成されることで解決するものである。

【0032】第12に、前記導電路の裏面には、導電被膜が形成されることで解決するものである。

【0033】導電路の裏面に例えば金属膜、半田等を被覆することで、導電路の酸化を防止することができる。よって、実装基板上の回路パターンと前記導電路とをロウ材で接続しても、導電路の酸化物が無いため、その不良は大幅に抑制できる。

【0034】第13に、前記導電被膜は、前記導電路の表面でひさしを構成することで解決するものである。

【0035】導電路と導電被膜または導電路自身でひさしの形状が実現できるため、アンカー効果が発生し、導電路の抜け、剥がれを抑制することが出来る。

【0036】第14に、前記絶縁性樹脂から露出された

導電路は、電氣的接続箇所を除き絶縁被膜で被覆されることで解決するものである。

【0037】色々な形状の導電路が有る場合、全領域にロウ材が濡れてしまう。よって、半田の量が異なると同時に、そのサイズ、表面張力、自重により半田の厚みも異なってしまう。よって露出した導電路に半田の濡れ性の悪い膜を形成することで、半田の濡れる面積を制御し、導電路の裏面に所望の厚みの半田を形成できる。

【0038】第15に、前記導電路として配線が設けられ、前記絶縁性樹脂から露出された導電路は、電氣的接続箇所を除き絶縁被膜で被覆されることで解決するものである。

【0039】本半導体装置の構造は、導電路の裏面が絶縁性樹脂から露出するものである。そのため、図6、図7、図11に示すような配線も、裏面が長い距離で露出延在される。よって、実装基板上にこの半導体装置を実装した際、この実装基板の導電パターンと配線が短絡してしまう。しかし絶縁被膜が形成されることによりその短絡は、防止できる。

【0040】第16に、X、Y方向の結晶成長がZ軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、主としてZ軸方向の結晶成長により成る導電被膜と、前記導電被膜と電氣的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備えた半導体装置が、前記露出部を介して前記実装基板に実装されることで解決するものである。

【0041】第17に、X、Y方向の結晶成長がZ軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、主としてZ軸方向の結晶成長により成る導電被膜と、前記導電被膜と電氣的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記絶縁性樹脂の裏面と前記導電路の側面が、実質連続したカーブを描いている半導体装置が、前記露出部を介して前記実装基板に実装されることで解決するものである。

【0042】第18に、X、Y方向の結晶成長がZ軸よりも大きい導電材料より成る複数の導電路と、前記導電路の上面に形成され、メッキにより主としてZ軸方向の結晶成長が大きい導電被膜と、前記導電被膜と電氣的に接続された半導体チップと、前記半導体チップを被覆し且つ前記導電路間の分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、前記導電路の側面は、湾曲にエッチングされ、前記絶縁性樹脂裏面の少なくとも一部は、このエッチング面と実質一致している半導体装置が、前記露出部を介して前記実装基板に実装されることで解決するものである。

【0043】第19に、前記導電路の裏面と前記実装基

板は、ロウ材を介して接続され、前記導電路の裏面または／および前記実装基板上の接続パターンは、ロウ材の流れを防止する被膜が設けられることで解決するものである。

【0044】サイズの異なる複数の導電路を採用した場合、ロウ材は導電路の全域に濡れようと広がり、半導体装置の裏面に形成されるロウ材は、その厚みが異なってしまう。これは、実装基板側の導電パターンでも同様の現象が発生する。この現象により実装基板と導電路の間の隙間が狭くなる事がある。しかし少なくとも一方にロウ材に対して濡れ性の悪い膜を形成することにより、このロウ材の広がりを抑制することができ、この隙間を一定に保つことができる。

【0045】第20に、前記エッチング面は、非異方性的エッチングにより形成される面と実質的に同一カーブを描くことで解決するものである。

【0046】第21に、前記絶縁性樹脂裏面よりも、前記導電路の裏面が凹んで形成される形成されることで解決するものである。

【0047】第22に、前記絶縁性樹脂と接する前記導電路は、表面に酸化物が形成されることで解決するものである。

【0048】第23に、前記導電路の裏面には、導電被膜が形成されることで解決するものである。

【0049】第24に、前記導電被膜は、前記導電路の表面でひさしを構成することで解決するものである。

【0050】

【発明の実施の形態】 X-Y膜を説明する第1の実施の形態

まず本半導体装置のサイズを図5を参照して説明する。採用される半導体チップ30は、ここではTRチップを用いたため、約0.55×0.55mm、厚みが0.24mmである。また半導体装置31平面のサイズは、1.6×2.3mm、厚みが0.5mmである。チップの平面サイズに対する半導体装置の平面サイズは、2倍以上であり、パッケージの厚みは、チップの厚みの倍程度からそれ以下、特にフェイスダウンで実装する場合は、金属細線が上に延在されない分、更に薄型化が可能となる。つまり薄型であるが、平面のサイズは、これから述べる半導体素子、受動素子の組み合わせにより、1mm×2mm程度からこのサイズをはるかに越えるサイズまで、色々なサイズで展開できるものである。

【0051】後述するが、図6B、図7、図10、図11も一緒に考慮すれば判るように、本半導体装置は、ディスプレイのパッケージから回路やシステムを構成するパッケージまで可能であり、しかも薄型が可能な半導体装置である。

【0052】また本半導体装置は、一方の面に導電路32～34が露出し、この導電路32～34から他方の方に向かい絶縁性樹脂35が被覆されている。そのため、

絶縁性樹脂35の収縮率の方が大きく、全体として反りやすい構造を持つ。従って、この応力にも耐えうる導電路32～34の採用が要求される。特に、配線が長くなればなるほどこの問題は、重要になる。

【0053】更には、半導体装置としてコストの上昇を考慮すると共に、導電路32～34が約30～50μm以下と薄いために、結晶粒界の界面を介した不純物やガスの拡散、電氣的接続部の劣化を総合的に考慮し、採用する必要がある。尚、パワー半導素子の実装の場合、電流量と発生する熱を考慮し、導電路の膜厚は、100～200μmが好ましい。

【0054】一般に、電極として採用される材料は、図1Aに示すZ膜、図1Cに示すX-Y膜の二種類がある。課題の欄でも説明したように、Z膜から成る導電路40の裏面は、界面が多数存在し、矢印で示したように、結晶粒界41を介して外部からの汚染物質が拡散しやすい構造を有している。例えば、汚染物質としては、外部雰囲気中のガスであり、湿気等である。またロウ材を用いる場合、フラックス等が汚染物質である。これは、Z膜に固着された金属細線42の固着力の劣化を意味し、またZ膜にダイボンドされたチップ43の固着力の劣化を意味する。

【0055】更に、図1Bに示すように、絶縁性樹脂44の収縮で発生する反りに対し、Z膜40は、断線49が発生したり、断線49が発生しなくてもそれぞれの結晶粒45の間隔を広げるため、抵抗が大きくなる問題を有する。またこれを防止するには、Z膜40を厚くしたり、何層に渡るZ膜を積層する必要がある。しかしこれは、成膜時間が長くなり、コストの上昇を来す問題がある。

【0056】一方、図1Cに示すように、X-Y膜から成る導電路46の裏面は、界面47の露出量がZ膜40よりも少ない。またX-Y方向に向かった結晶成長が大きく、結晶粒48が何層にも積層されるため、矢印で示したように、結晶粒界47を介した外部からの汚染物質の拡散が防止できる特徴を持つ。これは、前記拡散によって発生する導電路46の表面の汚染が、大幅に抑制できることを意味している。

【0057】更に、絶縁性樹脂44の収縮で発生する反りに対し、X-Y膜46は、断線が発生しにくく、またその抵抗も小さくなる特徴を有する。例えば、圧延で処理された金属材料より成る導電箔がX-Y膜として掲げられる。

【0058】図2は、Cuを主材料とした圧延導電箔(X-Y膜)と電解で処理された電解箔(Z膜)の屈曲特性を示している。圧延後にアニールされた導電箔、圧延だけの導電箔は、電解箔に比べて破断に対して非常に強いことが判る。

【0059】つまり図1Dに示すように、長さや面積を大きく取る導電路、例えばダイパッド、ボンディングパ

ッドまたは配線にこのX-Y膜を採用することで、導電路として優れた特性を持つことが判る。つまり図6~図11に示す配線としてX-Y膜を採用すると、Z膜を採用した配線よりも優れた特性を出すことが判る。

【0060】しかもコストや抵抗を考えると、Cuを主材料とした圧延銅箔が好ましい。しかしCuは、その表面が酸化しやすく、金属細線のボンダビリティが悪いこと、Auバンプとの接合性が悪いことを考慮すると、図3で説明する様に、これらの電氣的接続箇所にZ膜40を配置する事が重要である。また反りが発生し、Z膜40にクラック49が発生しても、X-Y膜46が下層に安定して配置されているため、断線を防止できる。

【0061】またAgのメッキ膜に於いては、2~10μm程度の膜厚がボンディング性に優れ、この膜厚を越えて成膜されるとボンディング性が劣化するとされている。またAuのメッキ膜に於いても、0.2μm程度で良好なボンディングが得られることが判っている。これは、膜厚が厚くなるほど、それぞれの結晶粒の成長率が大きく異なり始め、その表面に凹凸が発生するためと言われている。ボンディングして接続されるボールとZ膜の間は、凹凸のあるZ膜とボールが接合しているだけで、両者の間は、接続強度が弱く、接続抵抗も大きいと言われている。ところが薄いZ膜を採用し、ボンディング性を高めようとしても、配線やダイパッドにクラックや破断が発生し易く、信頼性が逆に低下する。

【0062】よって、本発明では、配線50、ダイパッド、ボンディングパッド51の如き導電路として破断に強いX-Y膜46を採用し、必要によりこのX-Y膜46を支持膜として活用し、このX-Y膜46の上にZ膜40を形成している。例えば、ボンディング性や半田付け性を要求する部分には、必要によりAg、Au、Ni、Pd等のメッキ膜が採用される。しかし接続強度やコストを考えるとこのZ軸成長膜40は、前述したような薄い膜厚になる。よって全導電路をZ膜のみで構成せず、X-Y膜46を支持膜、保護膜として機能させ、この上にZ膜40を設けることにより、導電路の断線、抵抗増大等の特性劣化を防止している。

【0063】図3は、この点について説明するものである。図3は、Z膜40にクラック49が発生して2つの領域40A、40Bに分断されている。しかし、2つのZ軸成長膜40A、40BはX-Y膜46で電氣的に接続されるため、等価的に2つのZ軸成長膜は、電氣的に接続されていることになり、断線不良と成らないことを説明している。また矢印は、X-Y膜46が外部雰囲気からの浸入に対してバリア膜となり、Z膜40の表面の汚染を防止していることを説明している。

【0064】図1Dや図3Bに於いて、前述した特徴の他に、以下の特徴が発生する。X-Y膜46の側面には、湾曲構造52またはひさし53が設けられ、この構造により、絶縁性樹脂44に埋め込まれたX-Y膜46

が剥がれず、安定した状態で埋め込まれる特徴を有する。よってこの上に設けられたZ膜40は、更に安定した状態で維持される。

【0065】図4に、絶縁性樹脂44で封止される前で、且つハーフエッチングされた導電箔54を示す。Z膜40が形成された領域を除く表面には、Cuの酸化膜(Cu₂O、CuO)55が生成され、この酸化膜55により封止材である絶縁性樹脂44との化学的結合が向上し、導電路と絶縁性樹脂の接着性が向上することを説明している。

【0066】また図4Aでは、導電路56の上面全域にZ膜40が形成され、図4Bは、主領域を除き酸化膜55が露出されている。図4Bでは、酸化銅55が図4Aよりも露出するため、導電路56上面の接着性が更に向上する。

【0067】また導電路56にハーフエッチングによる分離溝57を形成する際、非異方性でエッチングすることにより、以下の効果も発生する。まず湾曲構造52やひさし53が発生するためアンカー効果が発生すると同時に酸化銅55の領域がストレートの分離溝よりも拡大し、絶縁性樹脂との接着性が向上するメリットも有する。

【0068】最後に、図2Bで剛性について説明する。図2Bの下図は、本導電箔54Aをリードフレームの如き形状で取り扱い、金型に装着させることを示すものである。半導体メーカーは、リードフレームを採用してトランスファーマールドしており、ここで採用する金型で本半導体装置が製造できる点にメリットを有する。本発明は、図14~の説明で明らかになるが、導電箔54をハーフエッチングして、これを金型に装着させるため、取り扱いの容易さ、上下金型に挟まれる点を考慮すると、剛性が求められる。圧延による導電箔は、製造方法上、簡単に不純物が入れられ、その剛性を高めることが出来る。図2Bの表には、その不純物の重量パーセントを示した。タイプAは、Ni、Si、Zn、Snが主に不純物として採用されている。またタイプBは、Zn、Sn、Crが不純物として混入されている。更に、タイプCは、Zn、Fe、Pが混入されている。この表に示す不純物の種類、重量パーセントは、一例であり、Cuを主材料とする導電箔に剛性があられるものであれば良い。

【0069】一方、メッキ膜だけで導電箔を構成しようとすると、製造方法上不純物を入れることが難しく、実質純Cuで構成される。よって導電箔は、軟らかく作業性が落ちる問題が発生し、導電箔を支持する支持基板が必要になって来る。

【0070】一般に、リードフレームのサイズは、大きければ大きいほど、半導体装置の取り数は多くなる。しかし、サイズが大きくなる分、反ったり、曲がったりするため、作業性が低下する。本発明では、長さ220m

m、幅45mm、厚さ70 μ mの矩形の導電箔を採用した。また、一般に採用されるリードフレームは、長さが \sim 250mm、幅が \sim 75mm程度まで、厚さは \sim 0.5mm程度であり、また業界で標準として使われる導電箔を採用すれば、リードフレームのモールドで採用される金型を採用できる。では、具体的に半導体装置の構造について説明していく。

【0071】本発明は、一つのTRが封止されたディスクリット型、一つのICやLSIが封止されたBGA型、複数のTRまたは複数のICが実装されたマルチチップ型、または複数のTR、複数のICおよび／または受動素子が実装され、導電路として配線が用いられ、所望の回路が構成されたハイブリッド型等に大まかに分類することができる。つまり半導体素子の殆どのパッケージをこの方法一つで実現できる重要なものである。ディスクリット型の半導体装置を説明する第2の実施の形態

図5は、TRを、パッケージしたものであり、絶縁性樹脂35に埋め込まれ、導電路32 \sim 34の裏面が露出されている。

【0072】符号32 \sim 符号34は、コレクタ電極、ベース電極およびエミッタ電極となる導電路であり、その表面には、図5Cに示すようにZ膜36としてAgが被覆されている。このZ膜36は、ワイヤーボンディング、ダイボンディングを可能とする膜であり、この他にAu、Pd、Ni等が考えられる。この導電路32 \sim 34は、非異方性でエッチングされるため、その側面が湾曲構造52となり、また導電路の表面にはひさし53も形成可能である。よってこれらの少なくとも一つを採用することにより、絶縁性樹脂35とのアンカー効果を生じることが出来る。また絶縁性樹脂35は、ハーフエッチングにより形成された分離溝57に埋め込まれ、半導体装置31の裏面から露出する絶縁性樹脂35は、パッケージの外形となる。ハーフエッチングで分離溝57が形成され、底部が湾曲しているため、チップの摩擦係数を小さくできる特徴もある。また導電路32 \sim 34の裏面よりも、分離溝57の底部が突出しているため、導電路間の短絡を防止でき、しかもその分半田等の接続材料をより厚く形成できるメリットも有する。

【0073】図5Eに、半導体チップ30をフェイスダウンで実装した半導体装置を示す。例えば半導体素子の表面に半田ボールが形成され、これを導電路に溶融したものである。半導体チップ30と導電路との間が非常に狭くなり、絶縁性樹脂35の浸透性が悪い場合は、粘度が低く隙間に浸透しやすいアンダーフィル材37が採用される。この場合、図5Dと異なり、アンダーフィル材37が分離溝57に充填され、外形の一要素となる。また図5D、図5Eに示すように、導電路は露出している。そのため、実装基板の回路パターンと電気的に接続するため、適当な導電材料が選択され被覆される。例え

ばこの露出部分には、図5Fに示すように、半田等のロウ材SL、Au、Ag等のメッキ材料、導電ペースト等が形成される。

【0074】また露出する導電路の面積が異なるため、ロウ材の厚みが異なってしまうことから、図5Gの如く絶縁被膜38を裏面に被覆し、その露出形状を実質一定にしても良い。

【0075】発明の実施の形態の文頭にも説明したように、約0.55 \times 0.55mm、厚みが0.24mmの半導体チップをモールドしても、半導体装置31として、1.6 \times 2.3mm、厚みが0.5mmまたはそれ以下と非常に薄い半導体装置が実現でき、携帯用の機器、コンピュータ機器等ので使用に好適である事が判る。

マルチチップ型（またはハイブリッド型）の半導体装置を説明する第2の実施の形態

続いて、図6にハイブリッド型またはマルチチップ型の半導体装置60を示す。トランジスタチップのみで構成されているのでマルチチップ型であり、この中にコンデンサ、抵抗等の受動素子が実装されればハイブリッド型と成る。

【0076】図24は、オーディオ回路であり、左からAudio Amp 1ch回路部、Audio Amp 2ch回路部、切り替え電源回路を太い一点鎖線で囲んで示す。

【0077】またそれぞれの回路部には、実線で囲まれた回路が半導体装置として形成されている。まずAudio Amp 1ch回路部では、3種類の半導体装置と、2ch回路部と一体となった2つの半導体装置が用意されている。

【0078】ここでは、一例として半導体装置60を図6に示した。図60Aに示すように、TR1、TR2で成るカレントミラー回路とTR3、TR4から成る差動回路が一体となって構成されている。この半導体装置60は、図6B \sim 図6Eに示されている。ここでは、0.55 \times 0.55mm、厚さ0.24mmのトランジスタチップを4つ採用し、Au細線でボンディングしている。尚、半導体装置60のサイズは、2.9 \times 2.9mm、厚さ0.5mmである。図6Cは、Z膜36が形成されたダイパッド61、Z膜36が形成されたボンディングパッド62およびダイパッドやボンディングパッドを電気的に接続する配線63が図示されている。特に、配線63は、図では非常に短く設けられているが、実際は、図11に示すように、長く形成されても良い。

【0079】この配線63は、本発明の特徴とするところであり、この配線の主材料として圧延銅箔を用いることに特徴を有する。図6Aに示す回路の規模にも依るが、パッケージ全体の平面サイズが大きくなると、そこに配置される配線の長さも長くなる。更に絶縁性樹脂35と導電路の熱膨張係数の違いから、熱が加わるたびに

配線に反りが加わる。しかし図 2A に示すように、圧延銅箔 (X-Y 膜) は、この反りの繰り返し (屈曲性) に対して耐久性を持つため、配線の断線を抑制できる。BGA 型の半導体装置を説明する第 3 の実施の形態
まず半導体装置 70 について図 7 を採用して説明する。図には、絶縁性樹脂 71 に以下の構成要素が埋め込まれている。つまりボンディングパッド 72A... と、このボンディングパッド 72A... と一体の配線 72B と、配線 72B と一体で成り、この配線 72B の他端に設けられた外部接続電極 72C が埋め込まれている。更にはこの導電パターン 72A~72C に囲まれた一領域に設けられた放熱用の電極 72D と、この放熱用の電極 72D の上に設けられた半導体素子 73 が埋め込まれている。
尚、半導体素子 73 は、絶縁性接着手段 AD を介して前記放熱用の電極 72D と固着され、図 7A では、点線で示されている。またボンディングを可能とするため、ボンディングパッド 72A が半導体素子 73 の周囲に位置するようにパターニングされ、この半導体素子 73 のボンディング電極 74 とボンディングパッド 72A は、金属細線 W を介して電氣的に接続されている。

【0080】また前記導電パターン 72A~72D の裏面は、非異方性でエッチングされ、ここではウェットエッチングで形成されるため湾曲構造を有し、この湾曲構造によりアンカー効果を発生している。

【0081】本構造は、半導体素子 73 と、複数の導電パターン 72A~72C、放熱用の電極 72D と、金属細線 W、絶縁性接着手段 AD、これらを埋め込む絶縁性樹脂 71 で構成される。また半導体素子 73 の配置領域に於いて、導電パターン 72B~72D の上およびその間の分離溝 75 には、前記絶縁性接着手段 AD が形成され、特にエッチングにより形成された分離溝 75 に前記絶縁性接着手段 AD が設けられる。そして、導電パターン 72A~72D の裏面が露出される様に、絶縁性樹脂 71 で封止されている。

【0082】絶縁性接着手段としては、絶縁材料から成る接着剤、接着性の絶縁シートが好ましい。また後の製造方法により明らかになるが、ウェハ全体に貼着でき、且つホトリソグラフィによりパターニングできる材料が好ましい。

【0083】また絶縁性樹脂 71 としては、エポキシ樹脂等の熱硬化性樹脂、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂を用いることができる。また絶縁性樹脂は、金型を用いて固める樹脂、ディップ、塗布をして被覆できる樹脂であれば、全ての樹脂が採用できる。

【0084】また導電パターン 72A~72D としては、ハーフエッチング性、メッキの形成性、耐熱応力、耐屈曲性を考慮すると圧延で形成された Cu を主材料とする導電材料、圧延銅箔が好ましい。

【0085】本発明では、絶縁性樹脂 71 および絶縁性

接着手段 AD が前記分離溝 75 にも充填されているために、導電パターンの抜けを防止できる特徴を有する。またエッチングとしてドライエッチング、あるいはウェットエッチングを採用して非異方性的なエッチングを施すことにより、導電パターンの側面を湾曲構造とし、アンカー効果を発生させることもできる。その結果、導電パターン 72A~72D が絶縁性樹脂 71 から抜けにくい構造を実現できる。

【0086】しかも導電パターン 72A~72D の裏面は、パッケージの裏面に露出している。よって、放熱用の電極 72D の裏面は、実装基板上の電極と固着でき、この構造により、半導体素子 73 から発生する熱は、実装基板上の電極に放熱でき、半導体素子 73 の温度上昇を防止でき、その分半導体素子 73 の駆動電流を増大できる構造が実現できる。また放熱用の電極 72D と実装基板上の電極を熱的に結合させる方法として、ロウ材または導電ペーストで接続しても良いし、シリコン等の熱伝導の優れた絶縁材料を間に配置しても良い。

【0087】本半導体装置は、導電パターン 72A~72D を封止樹脂である絶縁性樹脂 71 で支持しているため、支持基板が不要となる。この構成は、本発明の特徴である。従来の半導体装置の導電路は、支持基板 (フレキシブルシート、プリント基板またはセラミック基板) で支持されていたり、リードフレームで支持されているため、本来不要にしても良い構成が付加されている。しかし、本回路装置は、必要最小限の構成要素で構成され、支持基板を不要としているため、薄型・軽量となり、しかも材料費が抑制できるため安価となる特徴を有する。

【0088】また、パッケージの裏面は、導電パターン 72A~72D が露出している。この領域に例えば半田等のロウ材を被覆すると、放熱用の電極 72D の方が面積が広いので、ロウ材が厚く濡れる。そのため、実装基板上に固着させる場合、外部接続電極 72C 裏面のロウ材が実装基板上の電極に濡れず、接続不良になってしまう場合が想定される。

【0089】これを解決するために、半導体装置 70 の裏面に絶縁被膜 76 を形成している。図 7A で示した点線の O は、絶縁被膜 76 から露出した外部接続電極 72C...、放熱用の電極 72D を示すものである。つまりこの O 以外は絶縁被膜 76 で覆われ、O の部分のサイズが実質同一サイズであるため、ここに形成されたロウ材の厚みは実質同一になる。これは、半田印刷後、リフロー後でも同様である。また Ag、Au、Ag-Pd 等の導電ペーストでも同様のことが言える。この構造により、電氣的接続不良も抑制できる。また放熱用の電極 72D の露出部 77 は、半導体素子の放熱性が考慮され、外部接続電極 72C の露出サイズよりも大きく形成されても良い。また外部接続電極 72C... は全てが実質同一サイズであるため、外部接続電極 72C... は全領域に渡り露

出され、放熱用の電極 72D の裏面の一部分が外部接続電極 72C と実質同一サイズで絶縁被膜 76 から露出されても良い。

【0090】また絶縁被膜 76 を設けることにより、実装基板に設けられる配線を本半導体装置の裏面に延在させることができる。一般に、実装基板側に設けられた配線は、前記半導体装置の固着領域を迂回して配置されるが、前記絶縁被膜 18 の形成により迂回せずに配置できる。しかも絶縁性樹脂 71、絶縁性接着手段 AD が導電パターンよりも飛び出しているため、実装基板側の配線と導電パターンとの間に隙間を形成でき、短絡を防止することができる。

BGA 型の半導体装置 78 を説明する第 4 の実施の形態まず図 8 において、半導体素子 73 をフェイスダウンで実装した事、導電パターンの上に流れ防止膜 DM を配置した事、絶縁性接着手段 AD の代わりにアンダーフィル材 AF を採用した事以外は、実質同一であるため、この点について述べる。

【0091】まず半導体素子 73 のボンディング電極 74 とパッド 72A は、半田等のろう材、導電ペースト、異方性導電性樹脂等の電気的接続手段 SD を介して電気的に接続されている。

【0092】また、電気的接続手段 SD の流れを防止するために、導電パターンには流れ防止膜 DM が設けられている。例えば、半田を例にあげれば、導電パターン 72A ~ 72C の少なくとも一部に流れ防止膜 DM を形成し、半田の流れをこの膜で阻止している。流れ防止膜としては、半田との濡れ性が悪い膜、例えば高分子膜（半田レジスト）または Ni の表面に形成された酸化膜等である。

【0093】この流れ防止膜は、少なくとも半田が配置される領域の周囲に設けられ、半田等のろう材、Ag ペースト等の導電ペースト、導電性樹脂の流れを防止するものであり、これらの電気的接続手段に対して濡れ性が悪いものである。例えば、半田が設けられた場合、半田が溶けた際に流れ防止膜 DM で堰き止められ、表面張力によりきれいな半球の半田が形成される。またこの半田が付く半導体素子のボンディング電極 74 の周囲は、パシベーション膜が形成されるため、ボンディング電極だけに半田が濡れる。よって半導体素子とパッドを半田を介して接続すると、半田は貝柱状に一定の高さで維持される。また半田の量でこの高さも調整可能なので、半導体素子と導電パターンの間に一定の隙間を設けることができ、この間に洗浄液を浸入させたり、また粘性の低い接着剤（ここではアンダーフィル材）も浸入させることが可能となる。更に、接続領域以外を全て流れ防止膜 DM で被覆することにより、アンダーフィル材 AF との接着性を向上させることも可能となる。

【0094】本構造は、半導体素子 73 と、複数の導電パターン 72A ~ 72C、放熱用の電極 72D と、アン

ダーフィル材 AF、これらを埋め込む絶縁性樹脂 71 で構成される。また前述したように半導体素子 73 の配置領域に於いて、導電パターン 72A ~ 72D の上およびこれらの間の分離溝には、前記アンダーフィル材 AF が充填される。特にエッチングにより形成された分離溝 75 に前記アンダーフィル材 AF が充填され、これらを含む全てが絶縁性樹脂 71 で封止されている。そして絶縁性樹脂 71 やアンダーフィル材 AF により前記導電パターン 72A ~ 72D、半導体素子 73 が支持されている。

【0095】このアンダーフィル材 AF としては、半導体素子と導電パターンの隙間に浸透できる材料が好ましく、更にはスペーサとして機能し、熱伝導に寄与するフィラーが混入されても良い。

【0096】本発明では、絶縁性樹脂 71 およびアンダーフィル材 AF が前記分離溝 75 にも充填されているために、アンカー効果により導電パターンの抜けを防止できる特徴を有する。またエッチングとしてドライエッチング、あるいはウェットエッチングを採用して非異方性的なエッチングを施すことにより、パッド 72A の側面を湾曲構造にできる。その結果、導電パターン 72A ~ 72D がパッケージから抜けない構造を実現できる。

【0097】しかも導電パターン 72A ~ 72D の裏面は、絶縁性樹脂 71 から露出している。特に、放熱用の電極 72D の裏面は、図示されない実装基板上の回路パターンと固着できる。この構造により、半導体素子 73 から発生する熱を実装基板上の第 2 の回路パターンに放熱でき、半導体素子 73 の温度上昇を防止でき、その分半導体素子 73 の駆動電流を増大させることができる。

尚、放熱性が考慮されない場合、放熱用の電極 72D を省略しても良い。この時は、実装基板の回路パターンは、省略される。

【0098】本半導体装置は、導電パターン 72A ~ 72D を封止樹脂である絶縁性樹脂 71 やアンダーフィル材 AF で支持しているため、支持基板が不要となる。この構成は、本発明の特徴である。従来の技術の欄でも説明したように、従来の半導体装置の銅箔パターンは、支持基板（フレキシブルシート、プリント基板またはセラミック基板）で支持されていたり、リードフレームで支持されているため、本来不要にしても良い構成が付加されている。しかし、本回路装置は、必要最小限の構成要素で構成され、支持基板を不要としているため、薄型・軽量となり、しかも材料費がかからないため安価となる特徴を有する。

【0099】また本半導体装置は、外部接続電極 72C、ろう材を介した第 1 の放熱パス、放熱用の電極 72D、ろう材を介した第 2 の放熱パスを有し、これらにより半導体素子の駆動能力をより向上できるものである。

【0100】また半導体素子 73 の裏面は、絶縁性樹脂膜 71 から露出させても良い。露出させることにより放

熱手段と半導体素子 73 の熱的結合をより向上させることができる。ただし、放熱手段と半導体素子 73 が電気的に結合されるとまずい場合は、その間にシリコン樹脂等の絶縁材が設けられる。このシリコン樹脂は、熱に強く、フィラーが混入されていることにより熱伝導が優れているため、従来から多用されているものである。BGA 型の半導体装置 79 を説明する第 5 の実施の形態図 8 では、パッド 72 A には、配線 72 B、外部接続電極 72 C が一体で形成されていたが、ここでは図 9 に示す如く、パッド 72 A の裏面が外部接続電極と成っている。

【0101】またボンディングパッド 72 A が矩形で成っているため、絶縁被膜 76 から露出する放熱用の電極 72 D のパターンも同一パターンで形成されている。また絶縁性接着手段 AD の固着性が考慮されて、放熱用の電極 72 D が複数に分割されるように溝 80 が形成されている。尚、符号 W は、金属細線である。

【0102】また半導体素子 73 をフェイスダウンで実装しても良い。この場合、図 8 に示すように、アンダーフィル材を採用する。この実施の形態では、配線と外部接続電極が設けられない分、放熱用の電極 72 D を拡大でき、半導体素子の放熱が向上するメリットを有する。マルチチップ型半導体装置 81 を説明する第 6 の実施の形態

図 9 の実装法を活用し、複数の半導体チップ 72 A、72 B を実装した半導体装置 81 について図 10 を参照して説明する。

【0103】本実施の形態では、ブリッジ 83 を採用して第 1 の半導体チップ 73 A と第 2 の半導体チップ 73 B を電気的に接続している。このブリッジ 83 をリードフレームで形成すると、アイランド状に形成されるため、吊りリードや接着テープで支持する必要がある。しかし後の製造方法から判るように、導電箔のハーフエッチング、樹脂モールドをした後に、導電路の分離を行うため、これら支持材が不要になるメリットを有する。またどちらの半導体チップ 82 A、82 B も、接続される金属細線 W は、ボールボンディングで接続され、ブリッジ 83 側でスティッチボンディングとなるため、スティッチボンディングの衝撃をチップに加えることがない特徴がある。

【0104】またボンディングパッド 72 には、図 7 に示す様に、配線、外部接続電極を一体で設けても良い。この場合、第 1 のダイパッド 82 A、第 2 のダイパッド 82 B のサイズを半導体チップのサイズよりも小さくし、配線、外部接続電極の延在領域を拡大した方がよい。また半導体チップ 73 とダイパッド 82 は、半田等のロウ材で電気的に接続されている。しかし前記配線や外部接続電極が半導体チップの下に延在される場合は、短絡防止を考慮し、絶縁性接着手段 AD を設けた方がよい。

【0105】一方、半導体チップ 73 をフェイスダウンで実装しても良い。これを図 10 C に示す。この構造は、図 8 と実質同一である。半導体チップとパッドとは、半田等のロウ材で接続されるため、この隙間には、アンダーフィル材 A F 等が浸透される。

半導体装置の特徴および製造方法を説明する第 7 の実施の形態

図 12 ～図 13 で示す特徴は、絶縁性樹脂 90 から成る突出部 91 を形成し、導電路 92 は、前記突出部 91 よりも内側に入り、そこに凹み部 93 が形成されることにある。これにより、半田 94 の接続強度の増大、半田または導電路 92 同士の短絡防止、半導体装置裏面の摩擦係数の減少を実現できるものである。

【0106】では、製造方法を図 14 ～図 21 を参照して説明していく。

【0107】まず図 14 の如く、シート状の導電箔 100 を用意する。この導電箔 100 は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cu を主材料とした圧延の導電箔が用いられる。また各工程での取り扱いが容易になるように、不純物が拡散され、導電箔に剛性を付加している。尚、この不純物の一例を図 2 B に示す。

【0108】導電箔の厚さは、後のエッチングを考慮すると $35\mu\text{m} \sim 300\mu\text{m}$ 程度が好ましく、ここでは $70\mu\text{m}$ (2 オンス) の銅箔を採用した。しかし $300\mu\text{m}$ 以上でも $35\mu\text{m}$ 以下でも基本的には良い。後述するように、導電箔 100 の厚みよりも浅い分離溝 101 が形成できればよい。また後のトランスファーモールド、一般に後工程で採用されるトランスファーモールドの金型、これに採用される標準の導電箔を考えると、導電箔のサイズは、長さが $\sim 220\text{mm}$ 程度、幅が $\sim 75\text{mm}$ 、厚みが $\sim 300\text{mm}$ 程度で、短冊状にカットされた方がよい。このサイズを採用すれば、市販のトランスファーモールド装置、金型、導電箔が採用でき、コスト的にメリットを出せる。

【0109】尚、シート状の導電箔 100 は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良い。(以上図 14 を参照) 続いて、少なくとも導電路 102 となる領域を除いた導電箔 100 を、導電箔 100 の厚みよりも薄く除去する工程がある。

【0110】まず、Cu 箔 100 の上に、ホトレジスト (耐エッチングマスク) PR を形成し、導電路 102 となる領域を除いた導電箔 100 が露出するようにホトレジスト PR をパターニングする (以上図 15 を参照)。

【0111】そして、図 16 の如く、前記ホトレジスト PR を介してエッチングすればよい。

【0112】エッチングにより形成された分離溝 101 の深さは、例えば $50\mu\text{m}$ であり、その側面は、エッチング処理や粗面化処理により粗面となるため絶縁性樹脂

103との接着性が向上される。

【0113】またこの分離溝101の側壁は、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。またプレスで形成しても良い。ウェットエッチングの場合エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッチングは、一般に非異方性にエッチングされるため、側面は、図16B、図16Cに示すように湾曲構造になる。例えば図16Bに於いて、耐エッチングマスクとして密着性が良いものを選択したり、Ni等を採用すると、ひさしが形成される。これは、導電路自身がひさしを構成したり、導電路の上に形成される導電被膜と一緒にひさしが形成される。また耐エッチングマスクの形成方法によっては、図16Cの如く、半円を描く場合もある。どちらにしても湾曲構造104が形成されるため、アンカー効果を発生させることが出来る。

【0114】またドライエッチングの場合は、異方性、非異方性でエッチングが可能である。現在では、Cuを反応性イオンエッチングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッチングできる。

【0115】またレーザでは、直接レーザ光を当てて分離溝を形成でき、この場合は、どちらかといえば分離溝101の側面はストレートに形成される。

【0116】またダイシングでは、曲折した複雑なパターンを形成することは不可能であるが、格子状の分離溝を形成することは可能である。

【0117】尚、図16に於いて、ホトレジストPRの代わりにエッチング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被覆すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。この導電被膜として考えられる材料は、Ni、Ag、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

【0118】例えばAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのまま導電路51上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ボンディングパッドとして活用できるメリットを有する。(以上図16を参照)

続いて、図17の如く、分離溝101が形成された導電

箔100に回路素子105を電気的に接続して実装する工程がある。

【0119】回路素子105としては、図1～図13までに説明したように、トランジスタ、ダイオード、ICチップ等の半導体素子105A、チップコンデンサ、チップ抵抗等の受動素子105Bである。また厚みが厚くはなるが、ウェハスケールCSP等で代表されるCSP、BGA等のフェイスダウン型の半導体素子も実装できる。

10 【0120】ここでは、ベアの半導体チップとしてトランジスタチップ105Aが導電路102Aにダイボンディングされ、エミッタ電極と導電路105B、ベース電極と導電路105Bが、熱圧着によるボールボンディングあるいは超音波によるウェッジボンディング等で固着された金属細線106を介して接続される。また105Bは、チップコンデンサ等の受動素子および/または能動素子であり、ここではチップコンデンサを採用し、半田等のロウ材または導電ペースト107で固着される。

(以上図17を参照)

20 更に、図18に示すように、前記導電箔100および分離溝101に絶縁性樹脂103を付着する工程がある。これは、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0121】本実施の形態では、導電箔100表面に被覆された絶縁性樹脂の厚さは、回路素子の最頂部から約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0122】本工程の特徴は、絶縁性樹脂103を被覆するまでは、導電路102となる導電箔100が支持基板となることである。例えばプリント基板やフレキシブルシートを採用したCSPでは、本来必要としない支持基板(プリント基板やフレキシブルシート)を採用して導電路を形成しているが、本発明では、支持基板となる導電箔100は、導電路として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0123】また分離溝101は、導電箔の厚みよりも浅く形成されているため、導電箔100が導電路102として個々に分離されていない。従って、回路素子の実装からダイシングまで取り扱え、特に絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。また前述したように、不純物が添加されているため、導電箔に剛性が付加され、更に作業性が向上されている。

【0124】続いて、導電箔100の裏面を化学的および

び／または物理的に除き、導電路102として分離する工程がある。ここでこの除く工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0125】この分離法で形成された半導体装置を図21A～図21Cで示す。

【0126】まず図21Aは、最終的に裏面を研磨し、導電路102の裏面と分離溝101の裏面を一致させたものである。

【0127】続いて、図21Bは、少なくとも分離溝101が露出する前からエッチングを施したものである。一般には、導電路102を完全に分離するため、オーバーエッチングするため、分離溝102の裏面よりも導電路102の方が凹んでいる。

【0128】更に図21Cは、図18の段階で、導電箔100の裏面に外部接続電極となる部分に耐エッチングマスクを形成し、このマスクを介してエッチングしたものである。これにより、導電路102の一部が、分離溝101の裏面よりも突出して形成される。

【0129】尚、図21A、Bに示した露出面を図18で点線で示す。

【0130】図19に、導電路102が分離された半導体装置の一例を示す。尚、ウェットエッチングで分離している。

【0131】更に、実装基板上の配線と短絡するのを防止するために、半導体装置の裏面に、絶縁被膜108を形成している。尚、109は、半田等のロウ材である。絶縁被膜108が、ロウ材に対して濡れないため、きれいな半球のロウ材が形成される。その結果、約40 μ mの厚さの導電路102として分離される。(以上図20参照)

尚、導電路102の裏面にAuやAgの導電被膜を被着しても良い。この図14～図17の導電箔の裏面に、前もってこの導電被膜を形成しておけば良い。被着方法は、例えばメッキである。またこの導電被膜は、エッチングに対して耐性がある材料がよい。

【0132】尚、本製造方法では、導電箔100に半導体チップとチップコンデンサが実装されているだけであるが、これを1単位としてマトリックス状に配置しても良い。この場合、1単位毎に分離するためダイシングが施される。

【0133】以上の製造方法からも判るように、本製造方法により、色々な半導体装置が製造できる。能動素子(半導体チップ)としてトランジスタ、ダイオード、ICまたはLSIを1つ実装したディスクリット型やBG A型、また前記能動素子を複数個実装したマルチチップ型、更には、能動素子(半導体チップ)としてトランジスタ、ダイオード、ICまたはLSI、受動素子としてチップ抵抗、チップコンデンサを実装し、所望の回路を実現するために導電路として配線も形成することで構成されるハイブリッドIC型、等色々な半導体装置が開

できる。

【0134】以上の製造方法によって、絶縁性樹脂に導電路が埋め込まれ、絶縁性樹脂の裏面に導電路51の裏面が露出する半導体装置が実現できる。

【0135】本製造方法は、絶縁性樹脂を支持基板として活用し導電路の分離作業ができる特徴を有する。絶縁性樹脂は、導電路を埋め込む材料として必要な材料であり、不要な支持基板を必要としない。従って、最小限の材料で製造でき、コストの低減が実現できる特徴を有する。以上の製造方法から判るように、導電路の分離方法により、図12Aに示すように、導電路裏面に凹み部93を形成することが出来る。しかも導電路側面のカーブと分離溝側面のカーブが一致したパッケージと成る。また分離溝底部は、非異方性エッチングで形成されるため、曲面を描き、三角形で示す空き領域93Aが形成される。

【0136】この分離溝の曲面により、分離溝の部分に溶けた半田が設けられても、分離溝が傾斜を持ち且つ半田の表面張力により矢印で示すように半田が流れ、全てが分離したアイランド状の半球半田を形成することが可能となる。また空き領域93Aが設けられるため、半田の逃げ領域が形成され、溶けた半田が隣同士で一体になり短絡する現象が抑制できる。

【0137】図12Bは、分離溝の突出部を一部フラットにしたものである。エッチングの場合、導電路の間隔により分離溝の深さが異なり、突出部91の高さが異なることがある。この場合、半導体装置を水平に配置できない場合が想定でき、この際は、導電路を分離した後、半導体装置の裏面を研磨し、突出部の高さを全て統一している。FLで示した部分が、そのフラット部分である。

【0138】また図13に実装基板520に半導体装置を実装した構造を示す。この実装基板の導電路上に形成された回路パターン521は、半導体チップと接続された導電路522と結合されるため、半導体チップの熱を回路パターンへ放出できるメリットを有する。

【0139】また図12に示す符号Hは、突出部91の頂部が導電路の裏面からどれだけ飛び出しているかを示すものである。ここでは、Hは、約20 μ mである。そして導電路の裏面に固化されたロウ材は、固化した状態で、突出部91よりも高く形成されなければ成らない。しかし溶融時、半田94は、素子の自重、外力によりつぶされ、突出部91がストッパーとなり、図13に示すように突出部が実装基板520と当接する。しかし突出部91が湾曲を描くため、半導体装置の裏面の摩擦係数が小さいことも手伝い、半導体装置の移動が容易であり、またセルフアライメントが容易となる特徴もある。図22は、本発明の半導体装置を採用することにより、どのくらいサイズが小さくなるか説明するものである。図に示す写真は、同倍率であり、左からリードフレーム

を採用した単品SMD、リードフレームを採用した複合SMD更に本発明の半導体装置を示すものである。単品SMDは、1個のTRが、複合TRは、2つのTRがモールドされている。本発明の半導体装置は、図6に示す回路が実装された半導体装置であり、4個のTRが封止されている。図からも明らかなように、複合SMDの二倍の素子が封止されているにもかかわらず、本半導体装置のサイズは、リードフレームも含めた複合SMDよりもやや大きいだけである。尚1個のTRが封止された半導体装置を一番右側に示した。これからも判るように、本発明によって小型・薄型の半導体装置が実現でき、携帯用の電子機器に最適である。最後に本半導体装置を実装した実装基板を図23に示す。図25に示す従来の実装基板に、回路パターンを形成し直し、実装したものである。図23から明らかなように、実装基板の回路パターンが簡略化され、間隔が広く形成できている。これは、実装基板の回路パターンをより密に形成でき、実装基板の小型化を可能とする。また半導体チップのダイボンディング数、ワイヤーボンディング数が減り、実装基板上の組立工数が大幅に減る。また実装基板では、何種かの金属細線を用いる。例えば、図25に於いて、小信号系に用いる40 μ mのAu線またはAl線、大信号系に用いる150 μ mと300 μ mのAl線が採用される。そしてこの3種類の内、少なくとも1種類の金属細線と接続される半導体素子は、全て本構造にすれば、この金属細線のボンディングが全く不要になる。例えば、Au線とAl線は、ボンダーの機構が全く異なるので、別々のボンダーで接続される。しかしAu線で接続される半導体素子を全てこの構造でパッケージし、Au線でジャンピングしている部分は、Al線で代用すれば、実装基板の組み立てで、Au線のボンダーが全く要らなくなる。これは、組み立て工程の簡略化に大きくつながる。

【0140】また従来用いたリードフレームのパッケージでは、かならずパッケージの側面にカットされた吊りリード、タイバー等が露出する。よってこの露出部分との接触が考慮されパッケージとパッケージは接して配置することは出来ない。しかし本発明は、裏面以外は、全て絶縁性樹脂でカバーされるため、半導体装置と半導体装置を接触させて実装基板に配置することが可能となる。

【0141】更に、半導体装置の裏面は、絶縁性樹脂からなる突出部が曲面を描いており、この裏面は、摩擦係数が非常に小さい。また半導体装置自身が薄型軽量で有ることも相まって、半田付けの際、半導体装置が自然にセルフアライメントされる特徴もある。

【0142】また実装基板として金属基板を採用すれば、本半導体装置の熱が金属基板を介して放出でき、実装基板全体のモジュールとしての温度上昇も抑制できる。

【0143】

【発明の効果】以上の説明から明らかなように、本発明では、薄型の半導体装置が、ディスクリート型、BGA型、マルチチップ型、ハイブリット型等と広範囲な形で実装可能になる。また薄型であるために、半導体装置の反りが問題となるが、導電路として圧延のX-Y膜を用いているため、反り、樹脂収縮による導電路の断線を防止することが出来る。また半導体装置として採用される電氣的接続部分は、下層にX-Y膜を採用することにより、その接続部の汚染を防止でき、パッケージされた後の経時変化や不良に対しても強い半導体装置としてユーザーに供給することが出来る。しかも細く長く形成される配線は、他の導電路よりもその応力が加わりやすいが、X-Y膜の採用により、配線の断線の抑制を可能とする。

【0144】また絶縁性樹脂裏面と導電路の側面は、本製造方法を採用するため、同一のエッチング面を描く。特に絶縁性樹脂の裏面は、湾曲となり、ここの湾曲部と隣接した部分には空き領域が形成される。よって溶けた半田の逃げ領域を作ったり、半導体装置裏面の摩擦係数を小さくすることが可能となる。

【0145】またハーフエッチングした後、導電箔は、酸化膜生成の熱処理工程を経るため、その表面にCuの酸化物が形成される。この酸化物は、導電箔と絶縁性樹脂との接着性を向上させることが出来る。

【図面の簡単な説明】

【図1】本発明の半導体装置に採用するX-Y膜を説明する図である。

【図2】図1のX-Y膜の特性を説明する図である。

【図3】本発明の半導体装置に採用するX-Y膜を説明する図である。

【図4】X-Y膜の表面構造を説明する図である。

【図5】本発明の半導体装置を説明する図である。

【図6】本発明の半導体装置を説明する図である。

【図7】本発明の半導体装置を説明する図である。

【図8】本発明の半導体装置を説明する図である。

【図9】本発明の半導体装置を説明する図である。

【図10】本発明の半導体装置を説明する図である。

【図11】本発明の半導体装置に採用される導電パターンを説明する図である。

【図12】本発明の半導体装置を説明する図である。

【図13】本発明の半導体装置を実装した実装基板を説明する図である。

【図14】本発明の半導体装置の製造方法を説明する図である。

【図15】本発明の半導体装置の製造方法を説明する図である。

【図16】本発明の半導体装置の製造方法を説明する図である。

【図17】本発明の半導体装置の製造方法を説明する図

である。

【図18】本発明の半導体装置の製造方法を説明する図である。

【図19】本発明の半導体装置の製造方法を説明する図である。

【図20】本発明の半導体装置の製造方法を説明する図である。

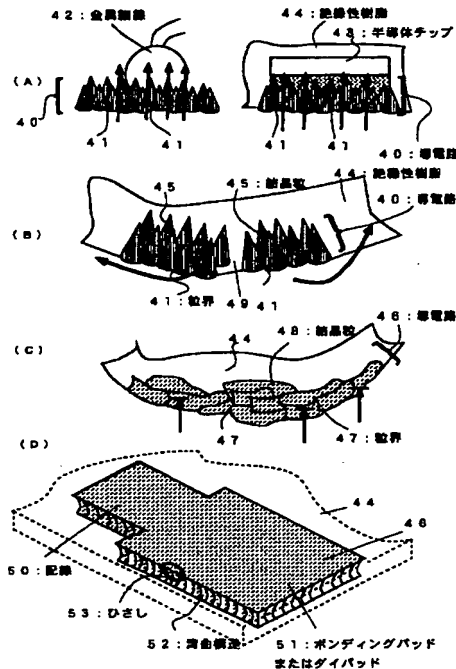
【図21】本発明の半導体装置の製造方法を説明する図である。

【図22】本発明の半導体装置のサイズを説明する図である。

【図23】本発明の半導体装置を実装した混成集積回路基板を説明する図である。

【図24】本発明の半導体装置に採用される回路例を説明する図である。

【図1】



【図14】



100 : 導電層

【図25】図24の回路を使った従来の混成集積回路基板を説明する図である。

【図26】従来の半導体装置を説明する図である。

【符号の説明】

40、46	導電層
41、47	結晶粒界
42	金属細線
43	半導体チップ
44	絶縁性樹脂
45、48	結晶粒
50	配線
51	ダイパッドまたはボンディング
パッド	
52	湾曲構造
53	ひさし

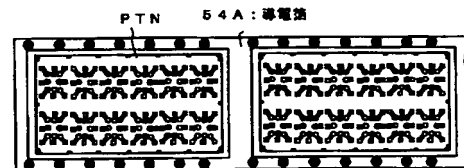
【図2】

導電箔の屈曲特性試験

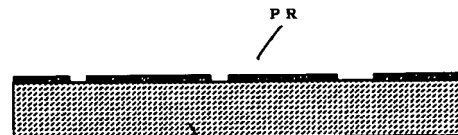
	曲率半径(mm)	0.98		3.18	
		圧縮方向(幅方向)	圧縮方向(幅方向)	圧縮方向(幅方向)	圧縮方向(幅方向)
(A) 圧縮アニール	変形率(%)	86.4	1.21		
	破断強度(MPa)	375	314	430.3	394.8
	破断伸び(%)	123.8	100.3	147.3	140.4
	破断時間(h)	3.77	1.18		
(B) 圧縮アスロール	変形率(%)	432	206	4790	2810
	破断強度(MPa)	183.3	79.7	141.8	104
	破断伸び(%)	3.28	1.03		
	破断時間(h)	100	67	2040	1144
電解箔	変形率(%)	29.3	21.3	33.2	20.4
	破断強度(MPa)				

圧縮Cu箔の不純量単位:wt%

	圧縮銅箔(A)	圧縮銅箔(B)	圧縮銅箔(C)
Ni	0.2		
Si	0.7		
Zn	0.8	0.8	0.1
Sn	1.28	0.28	
Cr	0.2		
Fe			2.3
P			0.03

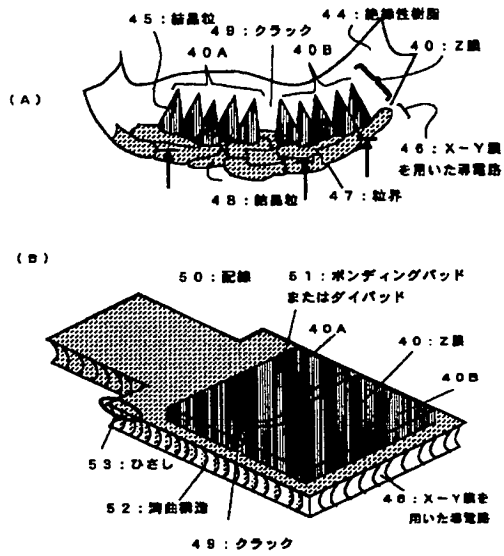


【図15】

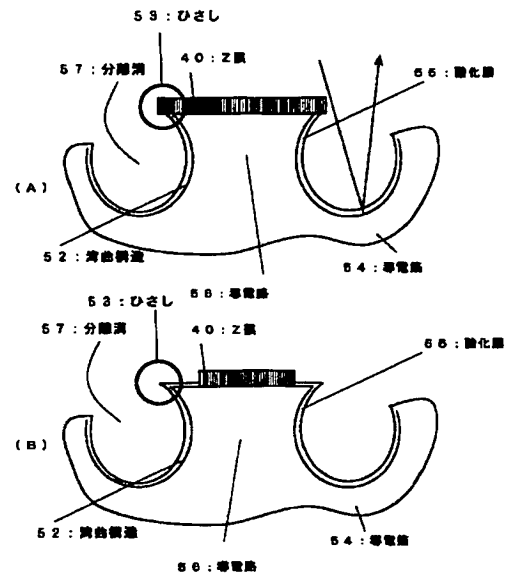


100 : 導電層

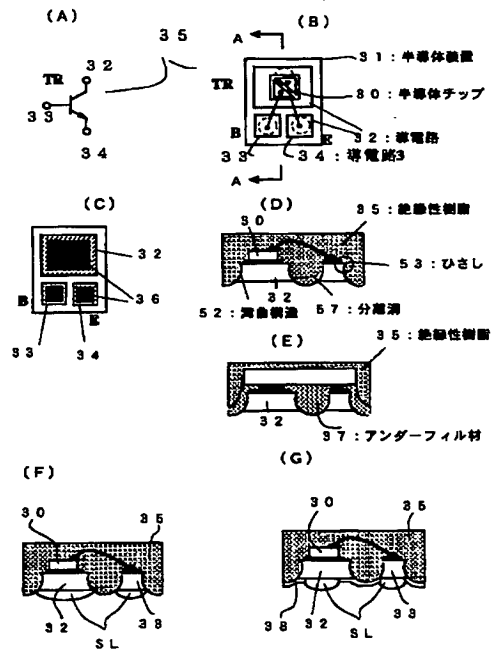
【図3】



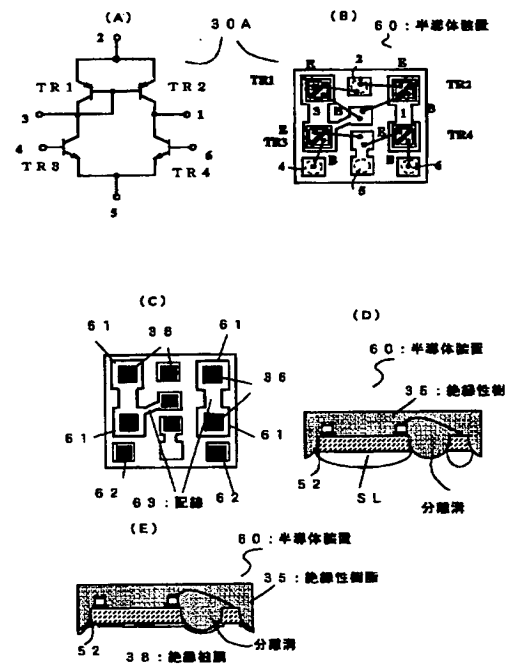
【図4】



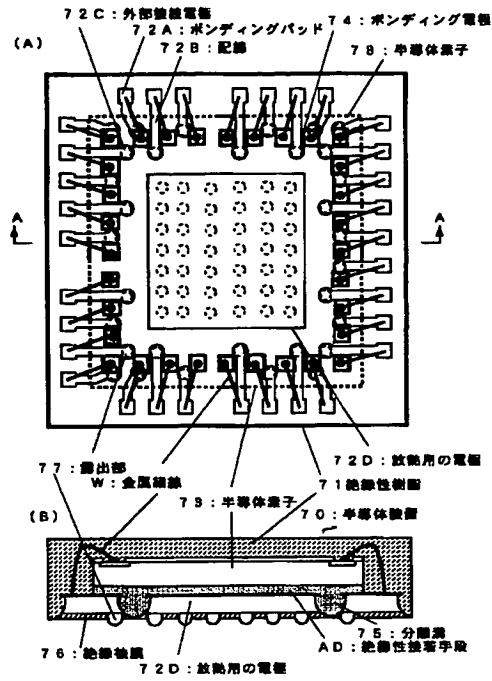
【図5】



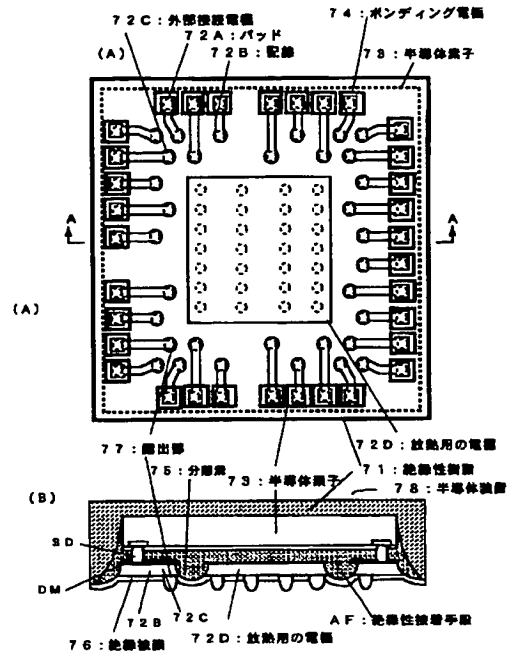
【図6】



【図7】

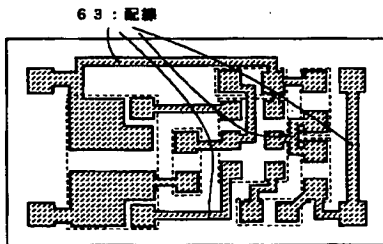


【図8】

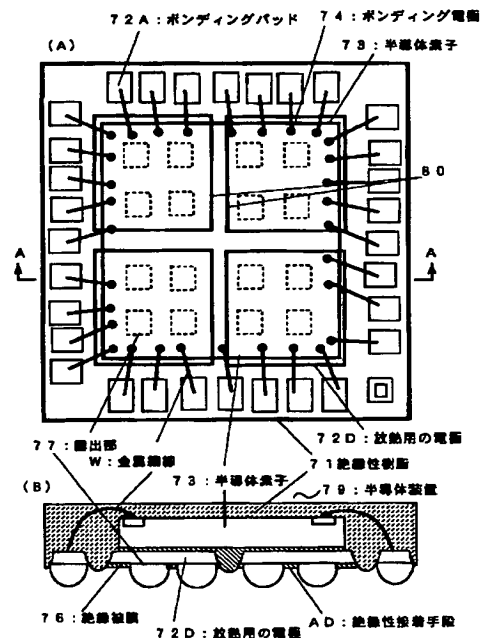
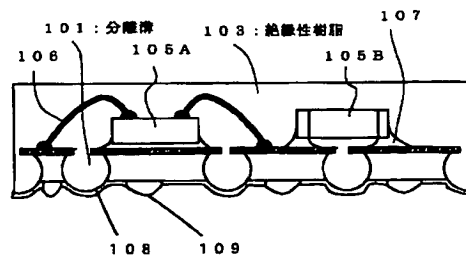


【図9】

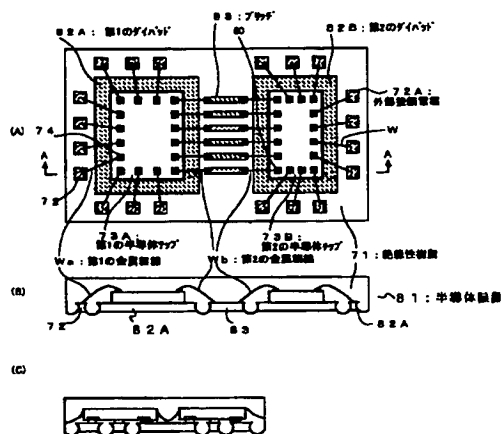
【図11】



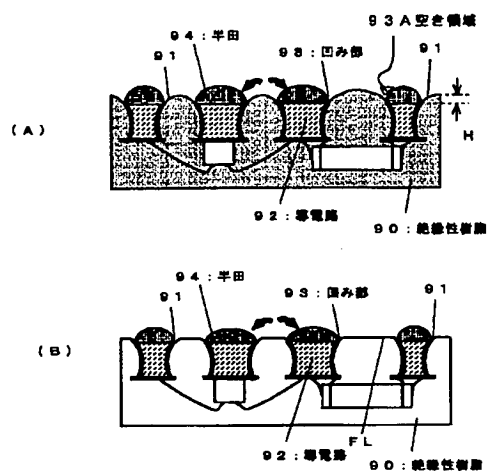
【図20】



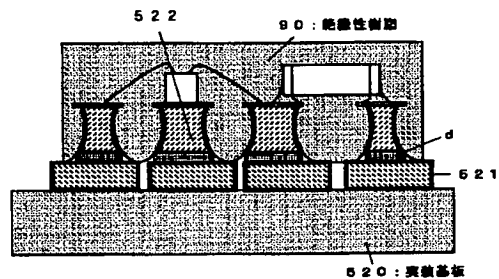
【図 10】



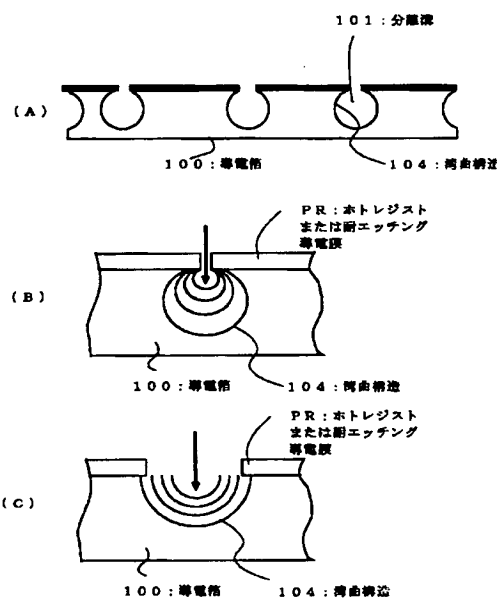
【图 1 2】



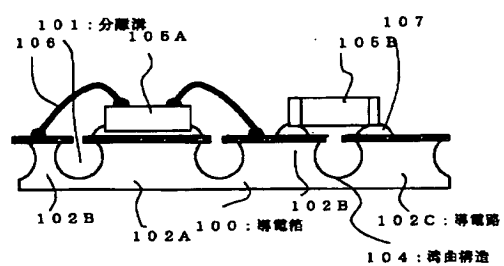
【图 1 3】



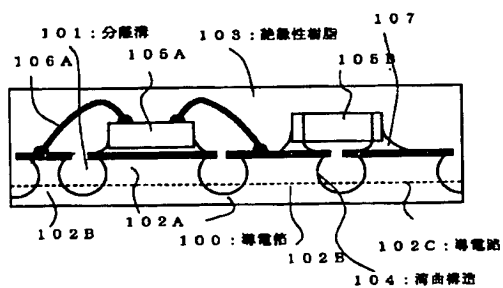
【图 16】



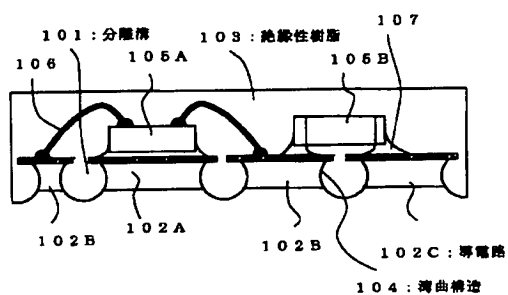
【图 1 7】



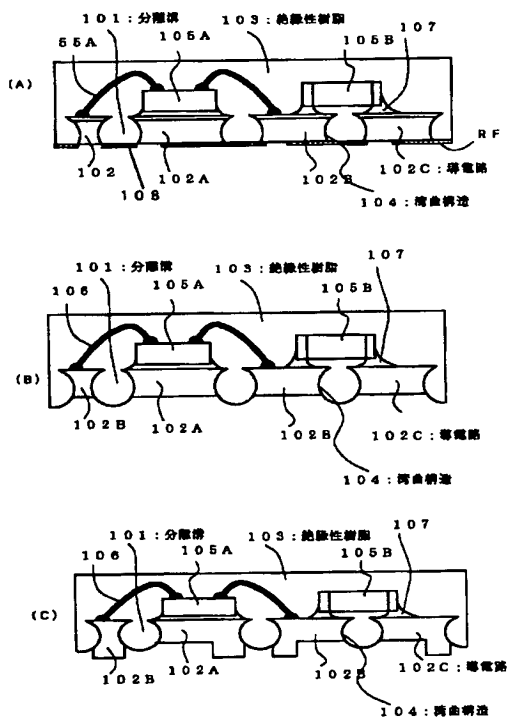
【図18】



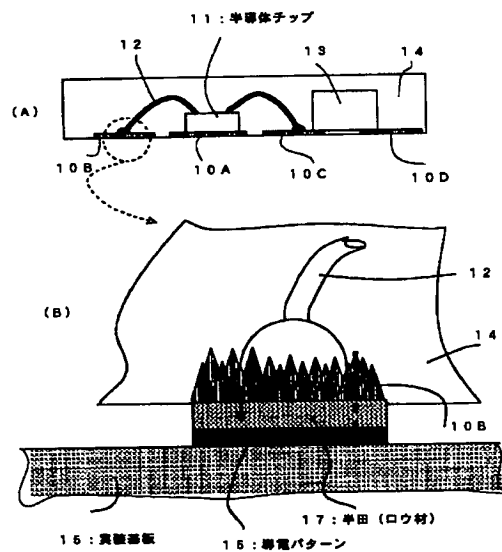
【図19】



【図21】

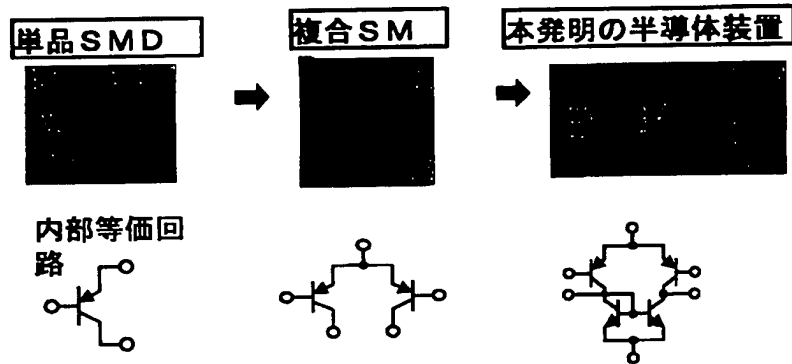


【図26】

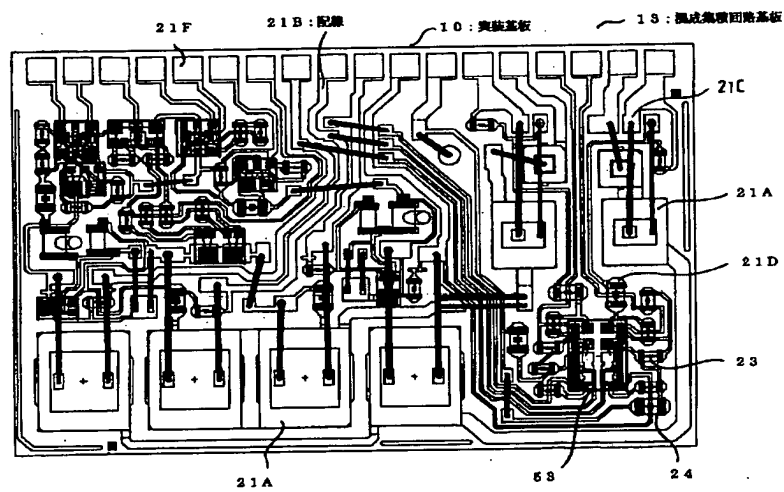


【図22】

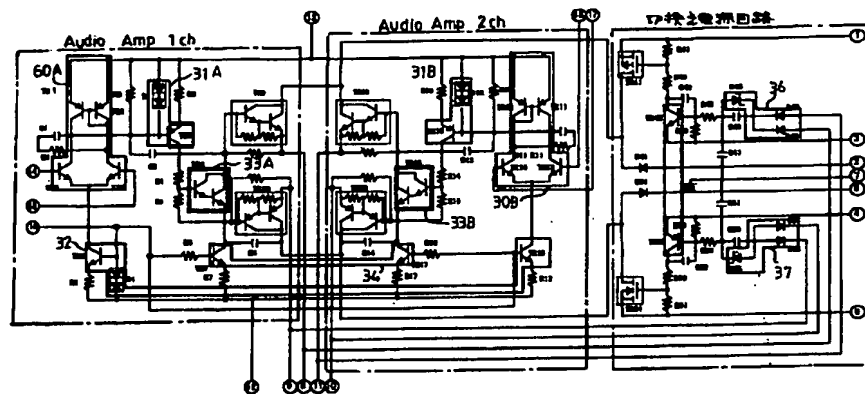
例：差動カレントミラー回路



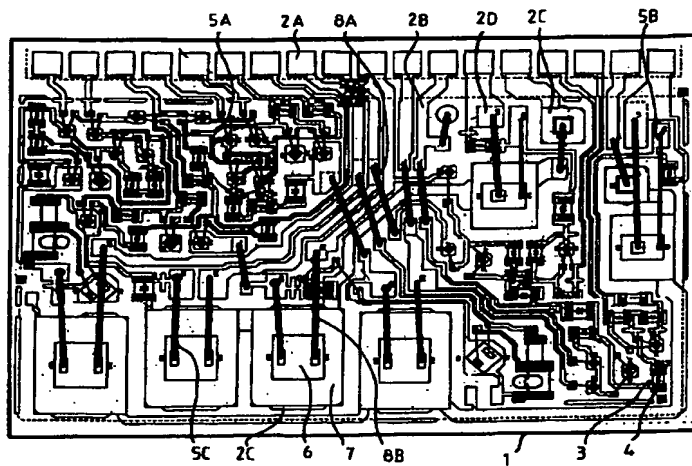
【図23】



【図24】



【図25】



フロントページの続き

(72)発明者 阪本 純次
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 真下 茂明
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 大川 克実
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 前原 栄寿
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 高橋 幸嗣
群馬県伊勢崎市喜多町29番地 関東三洋電
子株式会社内

Fターム(参考) 4M109 AA01 BA07 CA05 CA21 DA04
DA07 DB16
5F044 AA00 EE04 EE06 EE11 EE14
EE21 JJ03
5F047 AA00